



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0081788  
Application Number

출 원 년 월 일 : 2002년 12월 20일  
Date of Application

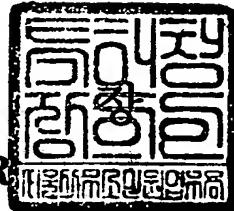
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 04 일

특 허 청

COMMISSIONER





1020020081788

출력 일자: 2003/7/4

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.20
【발명의 명칭】	하드웨어의 구성을 단순화시킨 에코 제거기를 갖는 비대칭 통신 시스템과 에코 제거기의 필터 계수를 다운 로드하는 방법
【발명의 영문명칭】	ADSL communication system having echo canceller for simplifying hardware structure and download method of filter coefficient thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	임도환
【성명의 영문표기】	LIN,DO HWAN
【주민등록번호】	730225-1018221
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1018-10번지 302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)



1020020081788

출력 일자: 2003/7/4

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	15	면	15,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】			633,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	



1020020081788

출력 일자: 2003/7/4

### 【요약서】

#### 【요약】

하드웨어의 구성을 단순화시킨 에코 제거기를 갖는 비대칭 통신 시스템과 상기 에코 제거기의 필터 계수를 다운 로드하는 방법이 개시된다. 에코 입력 신호와 에코 출력 신호와의 상관 관계를 계산하여 필터 계수를 발생하는 유한 임펄스 응답 필터인 에코 제거기는 지연 라인 블락과, 필터 계수 블락, 그리고 멀티플리케이션 및 어큐머레이션 블락을 포함한다. 지연 라인 블락은 에코 입력 신호를 입력하는 라인을 8개의 지연 라인으로 나누어 에코 입력 신호를 소정의 시간 간격으로 지연시켜 지연 신호를 발생시키고, 필터 계수 블락은 비대칭 통신 시스템의 CO 모드 및 RT 모드에 공통으로 사용되는 쉬프터 레지스터에 순차적으로 저장된 필터 계수를 순차적으로 쉬프트시키고, 멀티플리케이션 및 어큐머레이션 블락은 지연 라인 블락의 지연 신호와 필터 계수 테이블 블락의 출력인 필터 계수를 곱하고 가산하여 에코가 제거된 에코 출력 신호를 발생한다. 필터 계수는 비대칭 통신 시스템의 RT 모드 대비 CO 모드가 1:4의 쉬프터 레이트를 갖는다. 따라서, 본 발명은 ADSL 시스템의 CO 모드와 RT 모드에 대한 연산쌍에 의하여 인터포레이션 필터와 데시메이션 필터를 최대한 공유하고 전체 채널 구간에 대하여 에코 제거 동작을 수행하지 않고 가장 지배적인 채널 구간에 대하여 에코 제거 동작을 수행함으로써, 에코 제거기의 하드웨어의 구성이 단순해진다.

#### 【대표도】

도 6

#### 【색인어】

에코 제거기, 필터 계수, 쉬프터 레지스터, 하드웨어 단순화



1020020081788

출력 일자: 2003/7/4

### 【명세서】

#### 【발명의 명칭】

하드웨어의 구성을 단순화시킨 에코 제거기를 갖는 비대칭 통신 시스템과 에코 제거기의 필터 계수를 다운 로드하는 방법{ADSL communication system having echo canceller for simplifying hardware structure and download method of filter coefficient thereof}

#### 【도면의 간단한 설명】

도 1a 및 도 1b는 전화국 CO 모드와 가입자 RT 모드 사이의 데이터 전송율을 나타내는 도면이다.

도 2는 EC 회로의 연산 예를 나타내는 도면이다.

도 3은 필터 계수가 저장되는 쉬프터 레지스터를 나타내는 도면이다.

도 4a 내지 도 4c는 1:4 쉬프터 레이트를 만족하는 CO 모드와 RT 모드를 나타낸다.

도 5a 및 도 5b는 본 발명의 일실시예에 따른 1:4 쉬프터 레이트를 만족하는 CO 모드와 RT 모드일 때의 지역 라인의 하드웨어 구성을 나타낸다.

도 6은 본 발명의 일실시예에 따른 에코 제거기의 하드웨어 구조를 나타내는 도면이다.

도 7a 및 도 7b는 본 발명의 일실시예에 따라 필터 계수를 다운로드하는 방법을 나타내는 도면이다.

도 8은 본 발명의 또 다른 실시예에 따른 에코 제거기의 하드웨어 구조를 나타내는 도면이다.



## 【발명의 상세한 설명】

### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 비대칭 통신 시스템에 관한 것으로, 특히 하드웨어의 구성을 단순화시킨 에코 제거기와 상기 에코 제거기의 필터 계수를 다운 로드하는 방법에 관한 것이다.
- <10> 주택이나 소사업장에 사용되는 인터넷 액세스를 고속화하기 위하여, 고속 데이터 전송 선로가 필요하다. 고속 데이터 전송 선로로 광 케이블(fiber optic cable)이 각광 받고 있다. 광 케이블은 현존하는 통신망에는 적합하지 않으며 그 설치 비용의 고가로 인하여 거의 불가능하다. 구리선으로 꾸며진 현재의 전화선은 원래 비디오나 고속 인터넷 연결에서 요구되는 데이터 전송율이나 전송 대역폭(bandwidth)를 위해 설계된 것이 아니다. 비대칭 디지털 가입자망(Asymmetric Digital Subscriber's Line: 이하 "ADSL"이라 칭한다)은 이러한 전화선을 이용하여 데이터통신 시 데이터 전송율과 데이터 전송폭을 효율적으로 증가시키기 위해 개발된 것이다.
- <11> ADSL은 기존의 전화망을 사용해 통신망의 대중화를 실현하고, 전송 채널을 여러개로 나누어 각각 채널의 상태에 따라 데이터를 전송함으로써 전송 대역폭을 넓히고 데이터 전송량을 증가시켜 초고속 통신망을 구현한다. ADSL은 신호의 쌍방향 통신이 이루어지는 시스템으로, 자신이 송신하는 신호가 루프 선로를 따라 자신의 수신측에 수신됨으로써 반향(echo: 이하 "에코"라고 칭한다)이 생긴다. 에코는 통신상 장애 요인이 되므로, 에코를 제거하는 장치 및 기술에 대한 연구가 진행되고 있다. 일반적으로, 에코



제거기는 루프가 형성될 때 발생하는 에코를 분석해 에코를 미리 예상하고 이를 수신되는 신호에서 제거함으로써 에코를 제거한다.

<12> 에코 제거를 위한 종래의 기술들이 미국 특허 제5,909,463호, 일본 특허 공개 번호 제2000-049885호, 그리고 한국 특허 공개 번호 제2001-09502호에 기재되어 있다. 상기 미국 특허 '463호는 전화국 CO 모드와 가입자 RT 모드 시 송신단과 수신단의 데이터 레이트(data rate) 차이로 인해 상이한 크기를 갖는 송신 데이터 버퍼와 수신 데이터 버퍼 사이에 콘트롤 레지스터(control register)를 포함하여, 콘트롤 레지스터를 소프트웨어(software)적으로 스위칭시키는 것이다. 그런데, 상기 미국 특허 '463호는 메모리에다가 필터 계수를 저장하기 때문에, 메모리 어드레스 제어 로직이 추가로 필요한 단점이 있다.

<13> 상기 일본 특허 '049885호는 채널 중 SNR(Signal Noise Ratio)이 높은 일부 채널만을 선택적으로 사용하고 나머지 채널들은 마스킹 처리해 데이터 레이트(data rate)를 낮추는 것이다. 그러나, 상기 일본 특허 '049885호는 낮은 샘플링 레이트를 지원하기 때문에, 현재의 인터넷 환경에는 현실적으로 그 적용이 불가능하다.

<14> 상기 한국 특허 '09502호는 격자형 필터부를 사용하여 입력 신호에 대한 상관성을 제거하고 무한 임펄스 응답형(IIR:Infinite Impulse Response) 필터에서 임펄스 응답에 대해 추정함으로써 수렴 시간을 단축시키고 수십 개의 텁 수만으로 하드웨어를 구성한 에코 제거기이다. 그러나, 상기 한국 특허 '09502호는 신호 사이의 상관 관계가 높은 음성 신호에 대해서는 좋은 성능을 발휘할 수 있겠지만, 현재의 ADSL 시스템에서는 적어도 70 ~ 80 db 이상의 에코를 제거해야 데, 이를 만족시키기에는 적합하지 못한 단점이 있다.

<15> 따라서, CO 모드와 RT 모드시 하드웨어를 공유하여 그 구성을 단순화시키고 ADSL 시스템에 적합한 에코 제거기가 불가피하게 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 ADSL 시스템의 CO 모드와 RT 모드시 하드웨어를 공유하는 에코 제거기를 제공하는 데 있다.

<17> 본 발명의 다른 목적은 상기 에코 제거기의 필터 계수 다운 로드하는 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<18> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 에코 제거기를 포함하는 비대칭 통신 시스템에 있어서, 에코 제거기는 에코 입력 신호를 소정의 시간 간격으로 지연시켜 지연 신호를 발생하는 지연 라인 블락과, 쉬프터 레지스터에 순차적으로 저장된 필터 계수를 순차적으로 쉬프트시키는 필터 계수 테이블 블락, 그리고 지연 라인 블락의 지연 신호와 필터 계수 테이블 블락의 출력인 필터 계수를 곱하고 가산하여 에코가 제거된 에코 출력 신호를 발생하는 멀티플리케이션 및 어큐머레이션 블락을 포함한다.

<19> 바람직하기로, 에코 제거기는 에코 입력 신호와 에코 출력 신호와의 상관 관계를 계산하여 필터 계수를 발생하는 유한 임펄스 응답 필터이다. 쉬프터 레지스터는 비대칭 통신 시스템의 CO 모드 및 RT 모드에 공통으로 사용된다. 필터 계수는 비대칭 통신 시스템의 RT 모드 대비 CO 모드가 1:4의 쉬프터 레이트를 갖는다. 지연 라인 블락은 에코 입력 신호를 입력하는 라인을 8개의 지연 라인으로 나누어 에코 입력 신호를 지연시킨다.

<20> 상기 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 에코 제거기를 포함하는 비대칭 통신 시스템에 있어서, 에코 제거기는 CO 모드시 제1 레이트의, 그리고 RT 모드시 제2 레이트의 에코 입력 데이터를 수신하는 입력 인터페이스 블락과, CO 모드시 제1 레이트의 에코 입력 데이터를 제2 레이트의 데이터로 다운 샘플링하여 쉬프트시키고 RT 모드시 제2 레이트의 데이터를 제1 레이트의 데이터로 업 샘플링하여 쉬프트시키는 서브 FIFO 블락과, CO 모드시 제2 레이트의 데이터를, 그리고 RT 모드시 제2 레이트의 에코 입력 데이터를 쉬프트시키는 메인 FIFO 블락과, 서브 FIFO 블락과 메인 FIFO 블락을 CO 모드와 RT 모드에 따라 선택적으로 연결시키는 막스, 그리고 CO 모드시 제2 레이트의, 그리고 RT 모드시 제1 레이트의 에코 출력 신호를 발생하는 출력 인터페이스 블락을 구비하고, CO 모드일 때는 입력 인터페이스 블락, 서브 FIFO 블락, 메인 FIFO 블락, 그리고 출력 인터페이스 블락 순으로 연결되고, RT 모드일 때는 입력 인터페이스 블락, 메인 FIFO 블락, 서브 FIFO 블락, 그리고 출력 인터페이스 블락 순으로 연결된다.

<21> 바람직하기로, 에코 제거기는 CO 모드시 서브 FIFO 블락에 저장된 필터 계수를, 그리고 RT 모드시 메인 FIFO 블락에 저장된 필터 계수를 곱하고 가산하는 멀티플리케이션 및 어큐머레이션 블락을 더 포함한다. 메인 FIFO 블락은 128 단의 FIFO를 사용하여 에코 입력 신호를 주로(mainly) 지연시키고, 서브 FIFO 블락은 4 단의 FIFO를 사용하여 에코 입력 신호를 미세하게(finely) 지연시킨다. 에코 제거기는 비대칭 통신 시스템의 채널들 중 에코가 지배적인(dominant) 채널에 대하여 동작된다. 지배적인 채널로의 지연을 DSP로부터 받는다.

<22> 상기 다른 목적을 달성하기 위하여, 본 발명은 비대칭 통신 시스템 내 에코 제거기의 필터 계수를 다운로드하는 방법에 있어서, DSP에 의해 수행되는 제1 내지 제3 단계와

에코 제거기에 의해 수행되는 제4 내지 제6 단계를 포함한다. 제1 단계는 초기 구간 동안 새로 형성된 루프에 대해 에코 제거 트레이닝을 수행하여 필터 계수를 결정하고, 제2 단계는 다운로드 레지스터의 제1 값에 응답하여 기입 레지스터 값과 독출 레지스터 값을 비교하여 기입 레지스터 값과 독출 레지스터 값이 같으면 데이터 레지스터에 필터 계수를 기입하고 기입 레지스터 값을 토글시키고, 제 3단계는 계수 다운 인덱스를 증가시키면서 계수 다운 인덱스가 마지막이 될 때 까지 제1 내지 제2 단계를 반복 수행한다. 제4 단계는 다운로드 레지스터의 제2 값에 응답하여 독출 레지스터 값과 기입 레지스터 값이 다른지를 확인하여 독출 레지스터 값과 기입 레지스터 값이 다르면 에코 제거기 내의 쉬프터 레지스터로 데이터 레지스터에 저장된 계수를 할당하고, 제5 단계는 쉬프터 레지스터를 순차적으로 쉬프터시켜 인덱스가 마지막 값이면 독출 레지스터 값을 토글시키고, 제6 단계는 다운로드 레지스터가 제1 값이면 에코 제거기 동작을 끝마친다.

<23> 따라서, 본 발명은 ADSL 시스템의 CO 모드와 RT 모드에 대한 EC 회로의 연산으로부터 얻어지는 연산쌍에 의하여 인터포레이션 필터와 데시메이션 필터를 최대한 공유하고, DSP에서 제어 가능한 지연 기능을 추가하여 전체 채널 구간에 대하여 에코 제거 동작을 수행하지 않고 가장 지배적인 채널 구간에 대하여 에코 제거 동작을 수행함으로써, 에코 제거기의 하드웨어의 구성이 단순해진다.

<24> 이하, 도 1 내지 도 7을 참조하여 본 발명의 ADSL 통신 시스템에 대하여 구체적으로 설명된다.

<25> ADSL 통신 시스템에서는 전화국과 가입자 사이에 전화선을 통하여 서로 연결된다.



1020020081788

출력 일자: 2003/7/4

<26>      도 1a 및 도 1b는 전화국 CO(Central Office: 이하 "CO 모드"라고 칭한다)와 가입자 RT(Remote Terminal: 이하 "RT 모드"라고 칭한다)의 데이터 전송율을 나타내는 도면이다. 도 1a의 CO 모드에서, 2.2M samples/s의 고율(high rate) 데이터가 송신(Tx) 필터(110)로 입력되고, 송신 필터(110)의 출력 1.1M samples/s 데이터는 하이브리드 회로(112)를 통하여 수신(Rx) 필터(114)로 입력된다. 하이브리드 회로(112)는 일종의 아날로그 라인 인터페이스(analog and line interface)로써 RT와 연결되는 전화선(미도시)과도 연결된다. 수신(Rx) 필터(114)로 입력되는 1.1M samples/s 데이터는 552K samples/s의 저율(low rate) 데이터로 출력된다. EC 회로(116)는 2.2M samples/s의 고율(high rate) 데이터를 입력받아 552K samples/s의 저율(low rate) 데이터로 에코를 제거해야 한다. 이에 따라 EC 회로(116)에서는 1/2배의 다운 샘플링, 즉 데시메이션(decimation) 동작을 수행해야 한다.

<27>      도 1b의 RT 모드에서, 552K samples/s의 저율(low rate) 데이터가 송신(Tx) 필터(120)로 입력되고, 송신 필터(120)의 출력 1.1M samples/s 데이터는 하이브리드 회로(122)를 통하여 수신(Rx) 필터(124)로 입력된다. 하이브리드 회로(122)는 CO와 연결되는 전화선(미도시)과도 연결된다. 수신(Rx) 필터(124)로 입력되는 1.1M samples/s 데이터는 2.2M samples/s의 고율(high rate) 데이터로 출력된다. EC 회로(126)는 552K samples/s의 저율(low rate) 데이터를 입력받아 2.2M samples/s의 고율(high rate) 데이터로 에코를 제거해야 한다. 이에 따라 EC 회로(126)에서는 4배의 업 샘플링, 즉 인터포레이션(interpolation) 동작을 수행해야 한다.

<28>      도 1a 및 도 1b의 EC 회로(116, 126)는 일반적으로 유한 임펄스 응답(finite impulse response: 이하 "FIR"이라 칭한다) 필터로 구성된다. FIR 필터는 입력 신호를

소정의 시간 간격으로 지연시키기 위해 직렬 연결되는 지연부들(delay elements) 또는 쉬프터 레지스터들을 포함한다. FIR 필터에는 입력 신호와 하이브리드 회로(112, 122)의 에코 출력 신호와의 상관 관계를 계산하여 탭 계수(tap-weight coefficient)를 제공하는 상관기(correlator)를 두어 필터 계수를 계속적으로 수정한다. 에코를 제거하기 위하여 FIR 필터의 탭 수는 에코 경로의 임펄스 응답 수 만큼 필요하게 되는 데, 이는 많은 하드웨어를 필요로 한다. 한편, 필터 계수를 메모리로 다운로드하는 경우, 메모리의 어드레스를 제어하기 위한 디코더와 엔코더가 더 필요하여 하드웨어가 더 추가된다.

<29>      도 2는 EC 회로의 연산 예를 나타내는 도면이다. 도 2에서, C0 모드일 때의 EC 연산 예를 살펴보면,  $y(n)$ 에서 순차적으로 8개씩, 즉  $h(0) \times 4n$ ,  $h(1) \times 4n-1$ , …,  $h(7) \times (4n-7)$  곱셈기(multiplication)를 수행한다. RT 모드에서는  $y(16n)$ ,  $y(16n+1)$ ,  $y(16n+2)$  그리고  $y(16n+3)$  4개의 출력을 하나의 쌍, 즉  $h(0) \times 4n$ ,  $h(1) \times 4n$ ,  $h(2) \times 4n$ ,  $h(3) \times (4n)$ ,  $h(4) \times (4n-1)$ ,  $h(5) \times (4n-1)$ ,  $h(6) \times (4n-1)$ , 그리고  $h(7) \times (4n-1)$ 으로 곱셈기를 수행한다. 여기에서, C0 모드 및 RT 모드에서 데이터 입력이 쌍을 이루는 값( $\times 4n$ ),  $\times (4n-1)$ )에 대응되는 계수를 공통으로 껴집어 낼 수 있다. 그리하여, RT 모드의 계수 입력을 C0 모드와 공통으로 사용할 수 있다. 즉, RT 모드:C0 모드의 계수 입력이 1:4 정도의 쉬프터 레이트(shift rate) 차이를 갖는다. 이렇게 입력되는 필터 계수는 도 3과 같은 구조로 배열된 쉬프터 레지스터에 순차적으로 입력된 후, 순차적으로 출력된다.  $Z^{-1}$ 은 쉬프터 레지스터에 의해 지연되는 단위 지연을 나타낸다. 쉬프터 레지스터로부터 출력되는 계수를 C0 모드와 RT 모드에 맞추어 재 배치시키기 위하여, 도 4와 도 5와 같이, 지연 라인(delay line)에 대한 하드웨어 구성이 필요하다.

<30> 도 4a는 16 비트의 32:1 먹스를 8개 사용하여 1:4 쉬프터 레이트를 만족하는 CO 모드를 나타낸다. 도 4b는 16 비트의 2:1 먹스를 256개 사용하여 1:4 쉬프터 레이크를 만족하는 CO 모드를 나타낸다. 도 4c는 16 비트의 32:1 먹스를 2개 사용하여 1:4 쉬프터 레이트를 만족하는 RT 모드를 나타낸다. 이처럼 하나의 지연 라인을 사용하여 쉬프터 레지스터에 저장된 필터 계수를 단순히 쉬프터시킴으로써 멀티플라이어의 입력으로 제공할려면, CO 모드에서 16 비트 32:1 먹스 8개를, 또는 16 비트 2:1 먹스 256개를 구비하여야 하고 RT 모드에서 16 비트 32:1 먹스 2개를 구비해야 하는 등의 하드웨어 구성이 서로 다르기 때문에 복잡하다. 이에 대하여 CO 모드와 RT 모드에서 동일한 하드웨어로 구성된다면 EC 회로의 하드웨어 구성이 훨씬 간단해진다.

<31> 도 5a 및 도 5b는 본 발명의 일실시예에 따른 1:4 쉬프터 레이트를 만족하는 CO 모드와 RT 모드일 때의 지연 라인(delay line)의 하드웨어 구성을 나타낸다. 도 5a는 CO 모드 일 때의 하드웨어(500) 구성을, 그리고 도 5b는 RT 모드 일 때의 하드웨어 구성을 나타낸다. 도 5a를 참조하면, 지연 라인을 8개의 라인으로 나누어 구성하면 16 비트 2:1 먹스가 4개 필요하다. 도 5b는 도 5a의 CO 모드 일 때의 하드웨어(500) 구성을 일부 사용하여 RT 모드를 구성하는 예를 나타낸다. 이에 따라, CO 모드와 RT 모드 공통으로 하드웨어를 구성할 수 있다. 따라서, 본 발명의 EC 회로의 전체적인 하드웨어는 도 6과 같이 구성된다.

<32> 도 6의 EC 회로는 에코 입력 신호들( $x(n+3), x(n+2), x(n+1), x(n)$ )과 에코 출력 신호들( $y(n), y(n+1), y(n+2), y(n+3)$ )와의 상관 관계를 계산하여 필터 계수(Coeff(n))를 발생하는 유한 임펄스 응답 필터이다. EC 회로는 지연 라인 블락(500), 필터 계수 테이블 블락(300), 그리고 멀티플리케이션 및 어큐머레이션 블락(MA: Multiplication &

Accumulation, 600)을 포함한다. 지연 라인 블락(500)은 8개의 지연 라인으로 나누어 에코 입력 신호들( $x(n+3)$ ,  $x(n+2)$ ,  $x(n+1)$ ,  $x(n)$ )을 소정의 시간 간격으로 지연시켜 지연 신호를 발생시킨다. 필터 계수 테이블 블락(300)은 C0 모드 및 RT 모드에 공통으로 사용되는 쉬프터 레지스터에 순차적으로 저장된 필터 계수(CORFF(n))를 순차적으로 쉬프트시킨다. 필터 계수는 비대칭 통신 시스템의 RT 모드 대비 C0 모드가 1:4의 쉬프터 레이트를 갖는다. 멀티플리케이션 및 어큐머레이션 블락(MA, 600)은 지연 라인 블락의 지연 신호와 필터 계수 테이블 블락의 출력인 필터 계수를 곱하고 가산하여 에코가 제거된 에코 출력 신호들( $y(n)$ ,  $y(n+1)$ ,  $y(n+2)$ ,  $y(n+3)$ )을 발생한다.

<33> 한편, 쉬프터 레지스터에 저장된 필터 계수를 다운로드하는 방법은 도 7a 및 도 7b에 도시된다. 도 7a 및 도 7b의 필터 계수를 다운로드하는 방법에 대한 설명에 앞서서, 필터 계수는 쉬프터 레지스터의 일종인 하나의 데이터 레지스터(COEF\_DAT)에 저장된다. 다운로드 레지스터(DN\_LD)는 DSP가 하드웨어에게 계수를 다운로드함을 알려주는 레지스터이고, 기입 레지스터(COEF\_WR)는 DSP가 계수를 기입했음을 하드웨어에게 알려주는 레지스터이며, 독출 레지스터(COEF\_RD)는 하드웨어가 계수를 독출했음을 DSP에게 알려주는 레지스터로 설정된다.

<34> 도 7a는 DSP의 동작을 나타낸다. 초기 구간 동안 새로 형성된 루프에 대해 EC 트레이닝이 끝나면, DSP는 다운로드 레지스터(DN\_LD)를 "1"로 셋팅하여 하드웨어에게 계수 다운 로드가 시작되었음을 알리고 인덱스(n)를 "0"으로 클리어한다(701). 이 후, 기입 레지스터(COEF\_WR) 값과 독출 레지스터(COEF\_RD) 값을 비교하여(702) 같으면 (703) 단계로 진행하고, 같지 않으면 (702) 단계를 반복한다. (703) 단계는 해당 인덱스의 데이터 레지스터(COEF\_DAT)에 계수를 기입하고 기입 레지스터(COEF\_WR)를 토글시킨다. 인덱스를



1 증가시키고(704), 계수 다운 인덱스(n)가 256인가를 확인하여(705) 256이면 다운로드 레지스터(DN\_LD)를 "0"으로 클리어시켜(706) 하드웨어에게 다운로드가 완료되었음을 알린다. 인덱스(n)가 256이 아니면 다시 (702) 단계로부터 반복수행된다.

<35>         도 7b는 EC 하드웨어 동작을 나타낸다. 먼저, 리셋 신호(RESET)가 "0"으로 액티브 되면(711), 다운로드 레지스터(DN\_LD), 기입 레지스터(COEF\_WR), 그리고 독출 레지스터(COEF\_RD)를 "0"으로 클리어시킨다(712). 이 후, DSP로부터 제어된 다운로드 레지스터(DN\_LD) 값이 "1" 인지를 확인하여, "1"이면 (714) 단계로 넘어가고, "1"이 아니면 다운로드 레지스터(DN\_LD) 값이 "1"이 될 때까지 기다린다. (714) 단계는 독출 레지스터(COEF\_RD) 값과 기입 레지스터(COEF\_WR) 값이 다른지를 확인하여, 다르면 (715) 단계로 넘어가고, 같으면 독출 레지스터(COEF\_RD) 값과 기입 레지스터(COEF\_WR) 값이 같아질 때까지 기다린다. 이는 앞서 DSP 동작에서 해당 인덱스의 데이터 레지스터(COEF\_DAT)에 계수가 기입되고 기입 레지스터(COEF\_WR)가 토글되었음(703, 도 7a)을 확인하는 단계이다. (715) 단계는 EC 하드웨어 내의 첫번째 쉬프터 레지스터(coef\_h[0])로 데이터 레지스터(COEF\_DAT)에 저장된 계수를 할당한 후, 이를 순차적으로 쉬프터시켜 (coef\_h[n+1]=coef\_h[n], for 0<n<256) 인덱스가 256이 되면 독출 레지스터(COEF\_RD) 값을 토글시킨다. (716) 단계는 다운로드 레지스터(DN\_LD) 값이 "0"인가를 확인하여, "0"이면 EC 하드웨어 동작을 끝마치고, "1"이면 (714) 단계부터 다시 반복 수행한다.

<36>         한편, ADSL 시스템 내 전 채널에서 에코가 발생할 수 있는 데, 그중에서도 가장 지배적인(dorminant) 채널들에 대하여 에코를 제거한다면, 하드웨어 크기를 상당히 줄일 수 있는 이점이 생긴다. 도 8a 및 도 8b는 이러한 효과를 얻을 수 있는 본 발명의 다른 실시예에 따른 EC 회로를 나타내는 도면이다.



1020020081788

출력 일자: 2003/7/4

<37> 도 8a 및 도 8b에 대한 설명에 앞서서, 다시 도 1a 및 도 1b로 돌아가면, CO 모드에서는 2.2M samples/s 데이터가 송신(Tx) 필터(110), 하이브리드 회로(112) 그리고 수신(Rx) 필터(114)를 통하여 552K samples/s로 출력된다. RT 모드에서는 552K samples/s 데이터가 송신(Tx) 필터(120), 하이브리드 회로(122), 그리고 수신(Rx) 필터(124)를 통하여 2.2M samples/s로 출력된다. 통상적으로, CO 모드의 2.2M samples/s 입력 데이터를 위하여 512개의 FIFO를 사용하고, RT 모드의 552K samples/s 입력 데이터를 위하여 128 개의 FIFO를 사용하다.

<38> 도 8a의 CO 모드를 참조하면, 입력 인터페이스 블락(IF\_IN, 802)으로 2.2M samples/s 데이터가 입력된 후, 서브 FIFO 블락(804)과 멀티플리케이션 및 어큐머레이션 블락(MA, 806), 메인 FIFO 블락(808), 그리고 출력 인터페이스 블락(IF\_OUT, 810)을 순차적으로 거쳐 552K samples/s 데이터를 출력한다. 서브 FIFO 블락(804)은 2.2M samples/s 입력 데이터를 나눈 샘플링하여 552K samples/s 데이터로 만든 후, 미세하게 지연시킨다. 서브 FIFO 블락(804)은 4 단(depth)의 FIFO를 사용하여 미세 지연을 수행한다. 메인 FIFO 블락(808)은 입력되는 552K samples/s 데이터를 주요 지연시키는 데, 128 단(depth)의 FIFO를 사용한다.

<39> 도 8b의 RT 모드를 참조하면, 입력 인터페이스 블락(IF\_IN, 822)으로 552K samples/s 데이터가 입력된 후, 메인 FIFO 블락(824)과 멀티플리케이션 및 어큐머레이션 블락(MA, 826), 서브 FIFO 블락(828), 그리고 출력 인터페이스 블락(IF\_OUT, 830)을 순차적으로 거쳐 2.2M samples/s 데이터를 출력한다. 메인 FIFO 블락(824)은 552K samples/s 입력 데이터를 주요 지연시킨다. 서브 FIFO 블락(826)은 주요 지연된 552K



samples/s 데이터를 4 업 샘플링하여 2.2M samples/s 데이터로 만든 후, 미세하게 지연 시킨다.

- <40>      도 8a의 C0 모드 및 도 8b의 RT 모드의 각 지연 시간(Tdelay)은
- <41>       $T_{delay} = D1 * 4 + D2$
- <42>      로 나타난다.
- <43>      여기에서, D1은 메인 FIFO 블락(808, 824)에 의한 지연 시간이고, D2는 서브 FIFO 블락(804, 826)에 의한 지연 시간이다. 메인 FIFO 블락(808, 824)은 4번의 인터포레이션 동작이 이루어져야 서브 FIFO 블락(804, 826)의 데이터 레이트와 일치되기 때문에, 메인 지연 시간에 4가 곱해진다.
- <44>      따라서, 본 실시예에 의한 EC 회로는 메인 FIFO 블락(808, 824)과 서브 FIFO 블락(804, 826)을 C0 모드와 RT 모드에 공통으로 사용하되, 데이터 레이트가 낮은 쪽에는 메인 FIFO 블락을, 그리고 데이터 레이트가 높은 쪽에는 서브 FIFO 블락을 사용하도록 연결된다. 그리고 EC 회로는 128 단의 메인 FIFO 블락과 4 단의 서브 FIFO 블락을 사용하여 종래의 512 단의 FIFO를 대체할 수 있다.
- <45>      이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.



1020020081788

출력 일자: 2003/7/4

### 【발명의 효과】

<46> 상술한 본 발명은 ADSL 시스템의 CO 모드와 RT 모드에 대한 EC 회로의 연산으로부터 얻어지는 연산쌍에 의하여 인터포레이션 필터와 데시메이션 필터를 최대한 공유하고, DSP에서 제어 가능한 지연 기능을 추가하여 전체 채널 구간에 대하여 에코 제거 동작을 수행하지 않고 가장 지배적인 채널 구간에 대하여 에코 제거 동작을 수행함으로써, 에코 제거기의 하드웨어의 구성이 단순해진다.



1020020081788

출력 일자: 2003/7/4

### 【특허청구범위】

#### 【청구항 1】

에코 제거기를 포함하는 비대칭 통신 시스템에 있어서, 상기 에코 제거기는 상기 에코 입력 신호를 소정의 시간 간격으로 지연시켜 지연 신호를 발생하는 지연 라인 블락;  
 쉬프터 레지스터에 순차적으로 저장된 필터 계수를 순차적으로 쉬프트시키는 필터 계수 테이블 블락; 및  
 상기 지연 라인 블락의 지연 신호와 상기 필터 계수 테이블 블락의 출력인 필터 계수를 곱하고 가산하여 에코가 제거된 에코 출력 신호를 발생하는 멀티플리케이션 및 어큐머레이션 블락을 구비하는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 2】

제1항에 있어서, 상기 에코 제거기는 상기 에코 입력 신호와 상기 에코 출력 신호와의 상관 관계를 계산하여 상기 필터 계수를 발생하는 유한 임펄스 응답 필터인 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 3】

제1항에 있어서, 상기 쉬프터 레지스터는 상기 비대칭 통신 시스템의 CO 모드 및 RT 모드에 공통으로 사용되는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 4】

제1항에 있어서, 상기 필터 계수는

상기 비대칭 통신 시스템의 RT 모드 대비 CO 모드가 1:4의 쉬프터 레이트를 갖는 것을 특징으로 하는 비대칭 통신 시스템.

### 【청구항 5】

제1항에 있어서, 상기 지연 라인 블락은 상기 에코 입력 신호를 입력하는 라인을 8개의 지연 라인으로 나누어 상기 에코 입력 신호를 지연시키는 것을 특징으로 하는 비대칭 통신 시스템.

### 【청구항 6】

에코 제거기를 포함하는 비대칭 통신 시스템에 있어서, 상기 에코 제거기는 CO 모드시 제1 레이트의, 그리고 RT 모드시 제2 레이트의 에코 입력 데이터를 수신하는 입력 인터페이스 블락;  
상기 CO 모드시 상기 제1 레이트의 에코 입력 데이터를 상기 제2 레이트의 데이터로 다운 샘플링하여 쉬프트시키고, 상기 RT 모드시 상기 제2 레이트의 데이터를 상기 제1 레이트의 데이터로 업 샘플링하여 쉬프트시키는 서브 FIFO 블락;

상기 CO 모드시 상기 제2 레이트의 데이터를, 그리고 RT 모드시 상기 제2 레이트의 에코 입력 데이터를 쉬프트시키는 메인 FIFO 블락;

상기 서브 FIFO 블락과 상기 메인 FIFO 블락을 CO 모드와 RT 모드에 따라 선택적으로 연결시키는 막스; 및

CO 모드시 상기 제2 레이트의, 그리고 RT 모드시 상기 제1 레이트의 에코 출력 신호를 발생하는 출력 인터페이스 블락을 구비하고,



1020020081788

출력 일자: 2003/7/4

여기에서, 상기 CO 모드일 때는 상기 입력 인터페이스 블락, 상기 서브 FIFO 블락, 상기 메인 FIFO 블락, 그리고 상기 출력 인터페이스 블락 순으로 연결되고, 상기 RT 모드일 때는 상기 입력 인터페이스 블락, 상기 메인 FIFO 블락, 상기 서브 FIFO 블락, 그리고 상기 출력 인터페이스 블락 순으로 연결되는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 7】

제6항에 있어서, 상기 에코 제거기는 상기 CO 모드시 상기 서브 FIFO 블락에 저장된 필터 계수를, 그리고 상기 RT 모드시 상기 메인 FIFO 블락에 저장된 필터 계수를 곱하고 가산하는 멀티플리케이션 및 어큐머레이션 블락을 더 포함하는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 8】

제6항에 있어서, 상기 메인 FIFO 블락은 상기 에코 입력 신호를 주로(mainly) 지연시키는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 9】

제6항에 있어서, 상기 서브 FIFO 블락은 상기 에코 입력 신호를 미세하게(finely) 지연시키는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 10】

제6항에 있어서,



1020020081788

출력 일자: 2003/7/4

상기 메인 FIFO 블락은 128 단의 FIFO를 사용하고, 상기 서브 FIFO 블락은 4 단의 FIFO를 사용하는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 11】

제6항에 있어서, 상기 에코 제거기는

상기 비대칭 통신 시스템의 채널들 중 에코가 지배적인(dominant) 채널에 대하여 동작되는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 12】

제11항에 있어서, 상기 에코 제거기는

상기 지배적인 채널로의 지연을 DSP로부터 받는 것을 특징으로 하는 비대칭 통신 시스템.

#### 【청구항 13】

비대칭 통신 시스템 내 에코 제거기의 필터 계수를 다운로드하는 방법에 있어서, 초기 구간 동안 새로 형성된 루프에 대해 에코 제거 트레이닝을 수행하여 필터 계수를 결정하는 제1 단계;

다운로드 레지스터의 제1 값에 응답하여 기입 레지스터 값과 독출 레지스터 값을 비교하여, 상기 기입 레지스터 값과 상기 독출 레지스터 값이 같으면 데이터 레지스터에 상기 필터 계수를 기입하고 상기 기입 레지스터 값을 토글시키는 제2 단계;

계수 다운 인덱스를 증가시키면서 상기 계수 다운 인덱스가 마지막이 될 때 까지 상기 제1 단계를 반복 수행하는 제3 단계;

상기 다운로드 레지스터의 제2 값에 응답하여 상기 독출 레지스터 값과 상기 기입 레지스터 값이 다른지를 확인하여, 상기 독출 레지스터 값과 상기 기입 레지스터 값이 다르면 에코 제거기 내의 쉬프터 레지스터로 상기 데이터 레지스터에 저장된 계수를 해당하는 제4 단계;

상기 쉬프터 레지스터를 순차적으로 쉬프터시켜 인덱스가 마지막 값이면 상기 독출 레지스터 값을 토글시키는 제5 단계; 및

상기 다운로드 레지스터가 상기 제1 값이면 상기 에코 제거기 동작을 끝마치는 단계를 구비하는 것을 특징으로 하는 필터 계수 다운 로드 방법.

#### 【청구항 14】

제13항에 있어서, 상기 제1 내지 제3 단계는

DSP에 의해 수행되는 것을 특징으로 하는 필터 계수 다운 로드 방법.

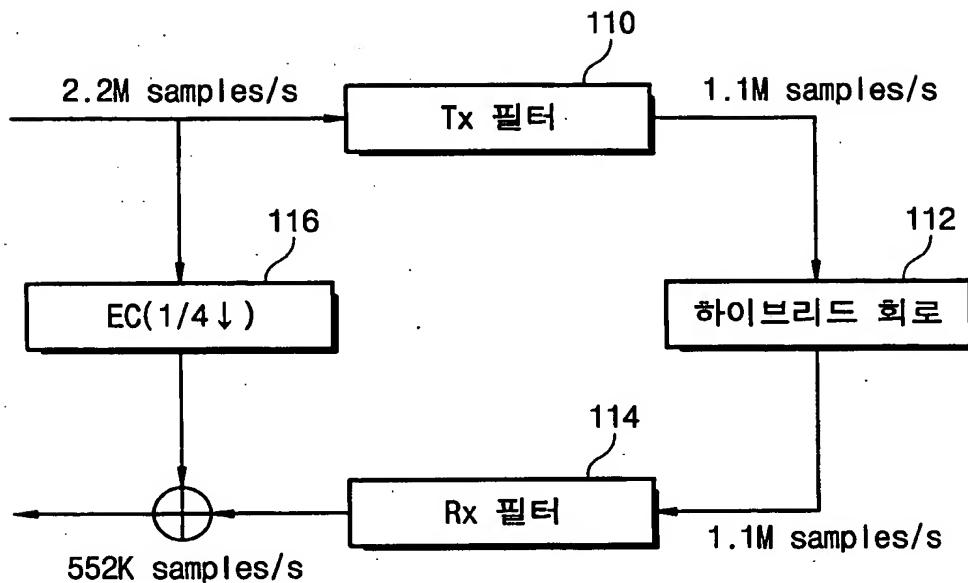
#### 【청구항 15】

제13항에 있어서, 상기 제4 내지 제6 단계는

상기 에코 제거기에 의해 수행되는 것을 특징으로 하는 필터 계수 다운 로드 방법.

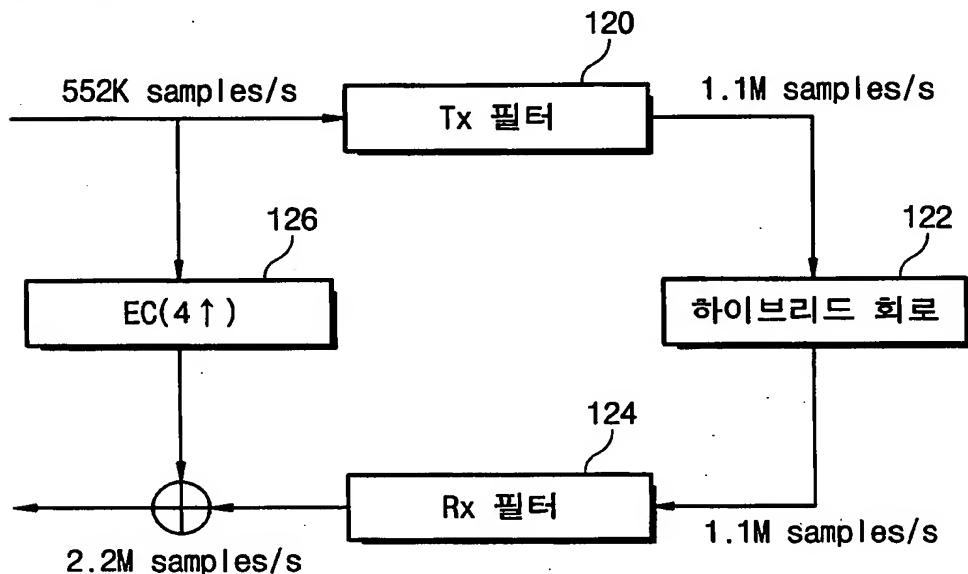
## 【도면】

【도 1a】



CO 모드

【도 1b】



RT 모드

## 【도 2】

00 모드

$$\left\{ \begin{array}{l} y(0) = w(0) \\ y(1) = w(4) \\ y(2) = w(8) \\ y(3) = w(12) \end{array} \right. \quad \left\{ \begin{array}{l} y(n) = w(4n) \\ y(n+1) = w(4n+4) \\ y(n+2) = w(4n+8) \\ y(n+3) = w(4n+12) \end{array} \right.$$

$$\left\{ \begin{array}{l} h(0)x(0) + h(1)x(-1) + \dots + h(7)x(-7) \\ h(0)x(4) + h(1)x(3) + \dots + h(7)x(-3) \\ h(0)x(8) + h(1)x(7) + \dots + h(7)x(1) \\ h(0)x(12) + h(1)x(11) + \dots + h(7)x(5) \end{array} \right. + \dots + h(254)x(-254) + h(255)x(-255)$$

$$\boxed{h(0)x(0) + h(1)x(-1) + \dots + h(7)x(-7)} + \dots + h(254)x(-254) + h(255)x(-255)$$

$$+ h(254)x(-250) + h(255)x(-251)$$

$$+ h(254)x(-246) + h(255)x(-247)$$

$$+ h(254)x(-242) + h(255)x(-243)$$
  

RT 모드

$$\left\{ \begin{array}{l} y(0) = h(0)x(0) + h(4)x(-1) + h(8)x(-2) + \dots + h(248)x(-62) + h(252)x(-63) \\ y(1) = h(1)x(0) + h(5)x(-1) + h(9)x(-2) + \dots + h(249)x(-62) + h(253)x(-63) \\ y(2) = h(2)x(0) + h(6)x(-1) + h(10)x(-2) + \dots + h(250)x(-62) + h(254)x(-63) \\ y(3) = h(3)x(0) + h(7)x(-1) + h(11)x(-2) + \dots + h(251)x(-62) + h(255)x(-63) \\ y(4) = h(0)x(1) + h(4)x(0) + h(8)x(-1) + \dots + h(248)x(-61) + h(252)x(-62) \\ y(5) = h(1)x(1) + h(5)x(0) + h(9)x(-1) + \dots + h(249)x(-61) + h(253)x(-62) \end{array} \right.$$

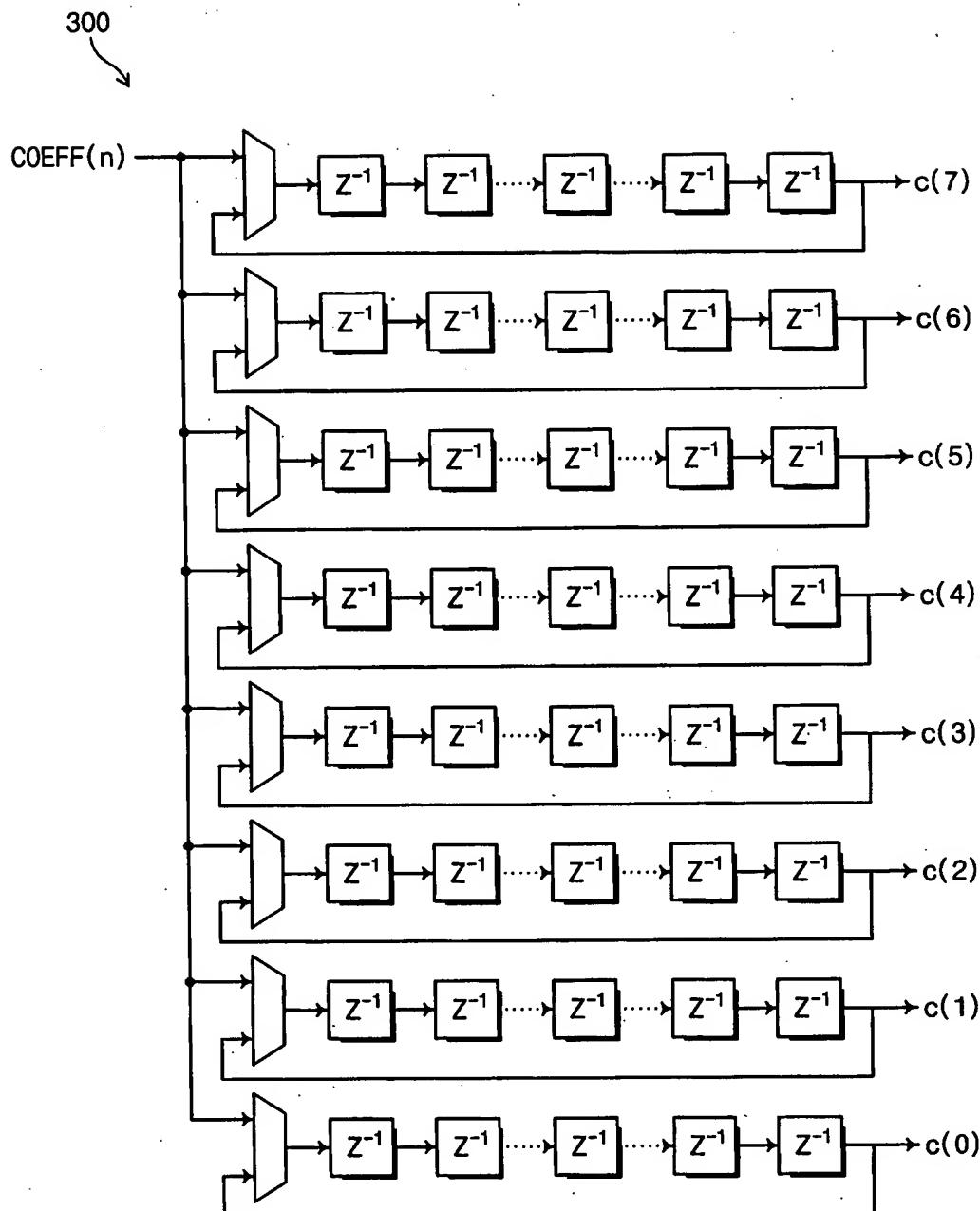
$$\left\{ \begin{array}{l} y(16n) = h(0)x(4n) + h(4)x(4n-1) + h(8)x(4n-2) + \dots + h(248)x(4n-62) + h(252)x(4n-63) \\ y(16n+1) = h(1)x(4n) + h(5)x(4n-1) + h(9)x(4n-2) + \dots + h(249)x(4n-62) + h(253)x(4n-63) \\ y(16n+2) = h(2)x(4n) + h(6)x(4n-1) + h(10)x(4n-2) + \dots + h(250)x(4n-62) + h(254)x(4n-63) \\ y(16n+3) = h(3)x(4n) + h(7)x(4n-1) + h(11)x(4n-2) + \dots + h(251)x(4n-62) + h(255)x(4n-63) \\ y(16n+4) = h(0)x(4n+1) + h(4)x(4n) + h(8)x(4n-1) + \dots + h(248)x(4n-61) + h(252)x(4n-62) \\ y(16n+5) = h(1)x(4n+1) + h(5)x(4n) + h(9)x(4n-1) + \dots + h(249)x(4n-61) + h(253)x(4n-62) \end{array} \right.$$

Y  
y

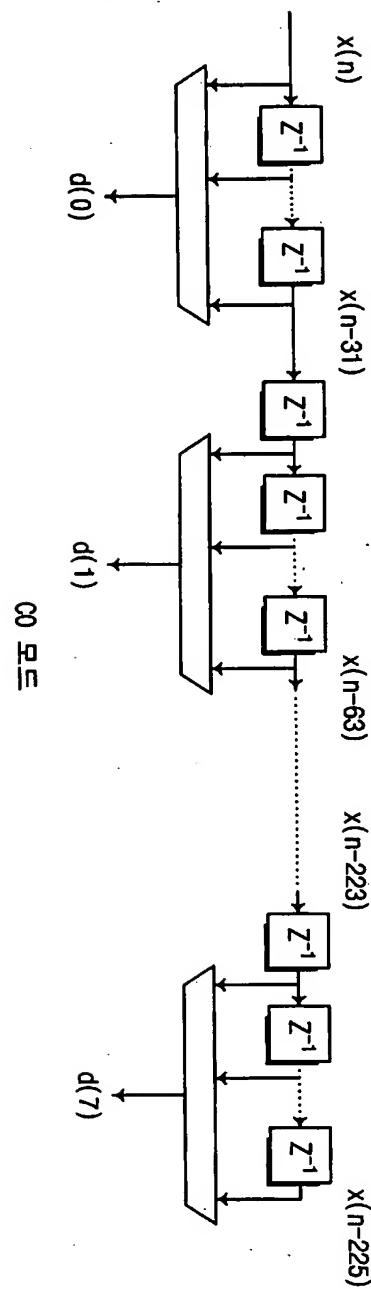
1020020081788

출력 일자: 2003/7/4

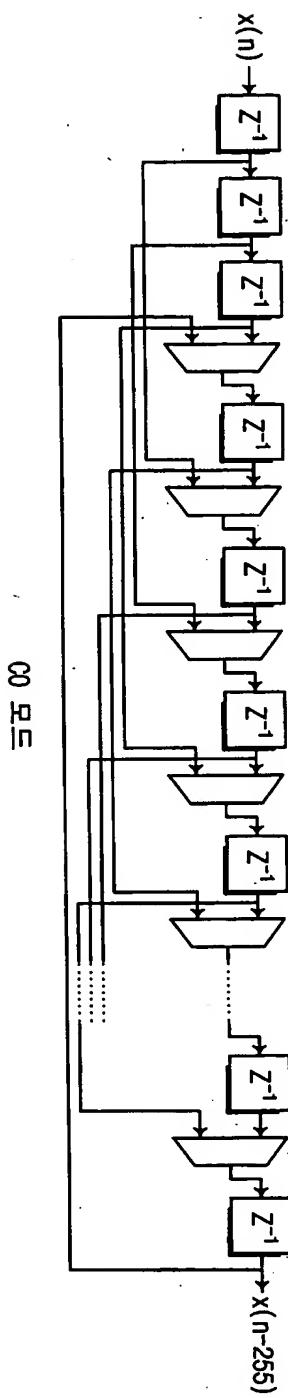
【도 3】



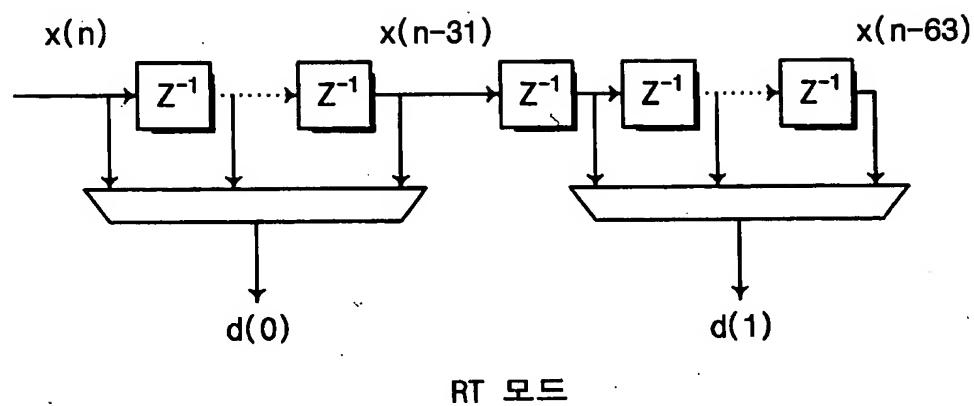
【도 4a】



【도 4b】



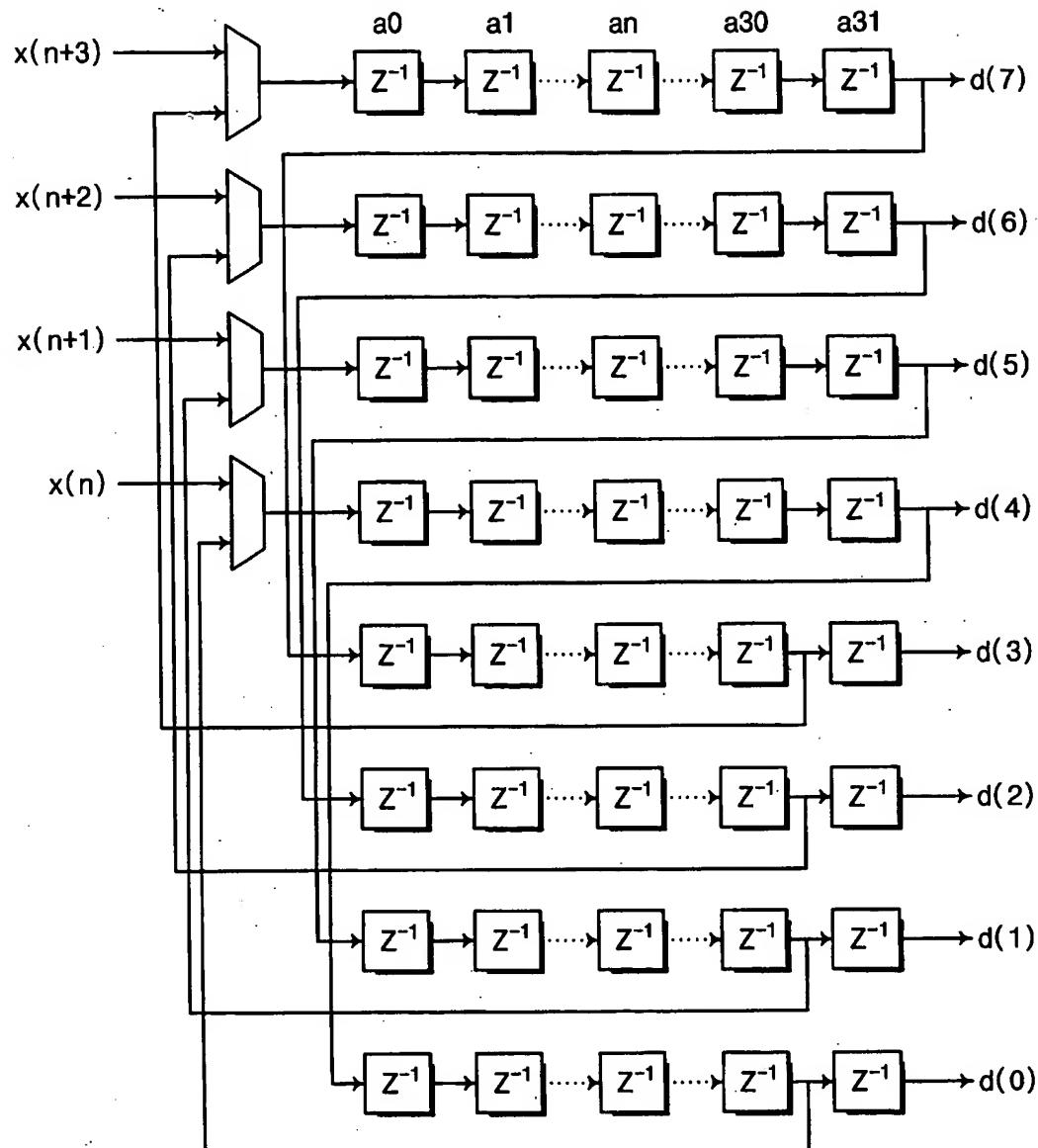
【도 4c】



RT 모드

【도 5a】

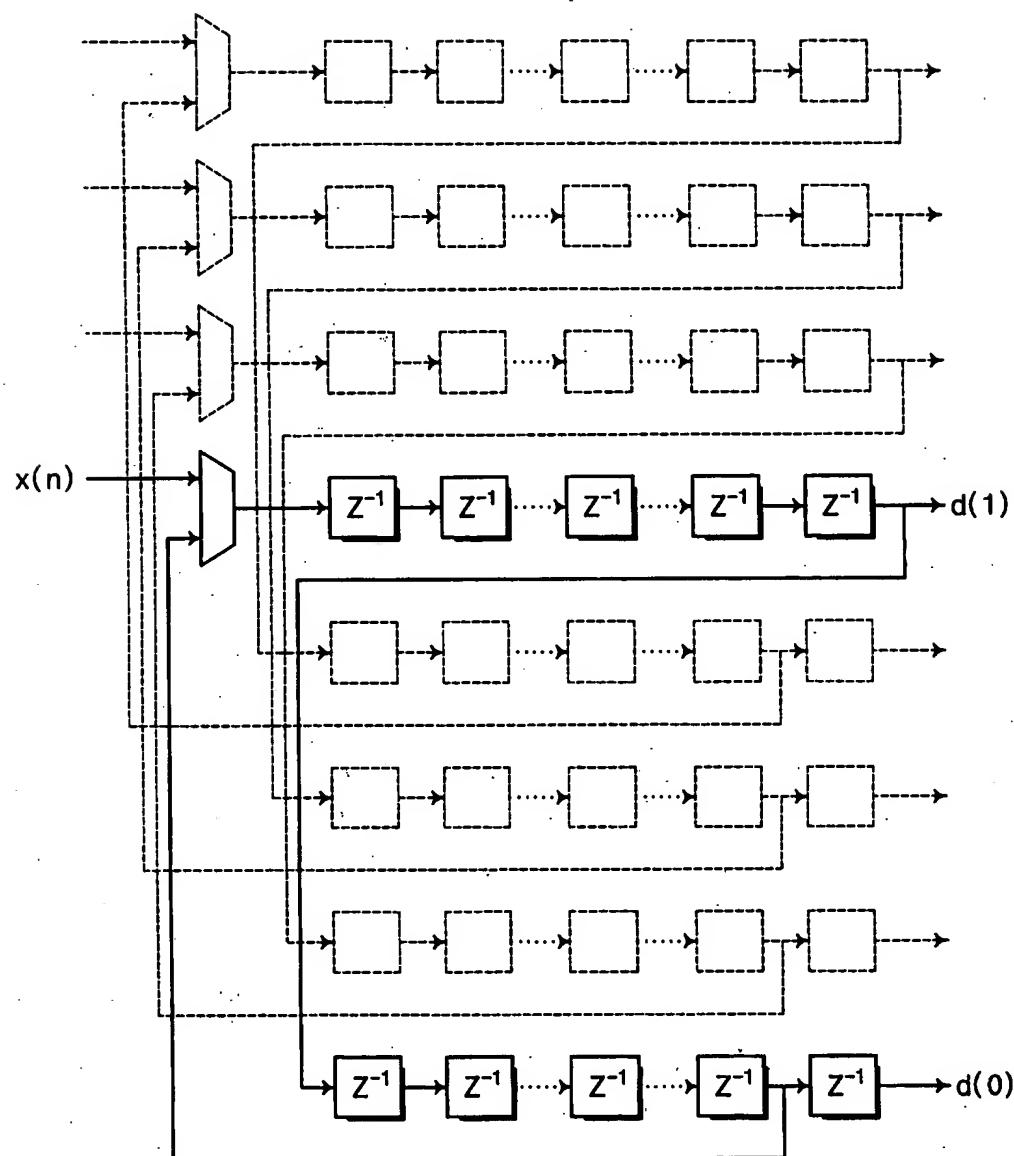
500



C0 모드

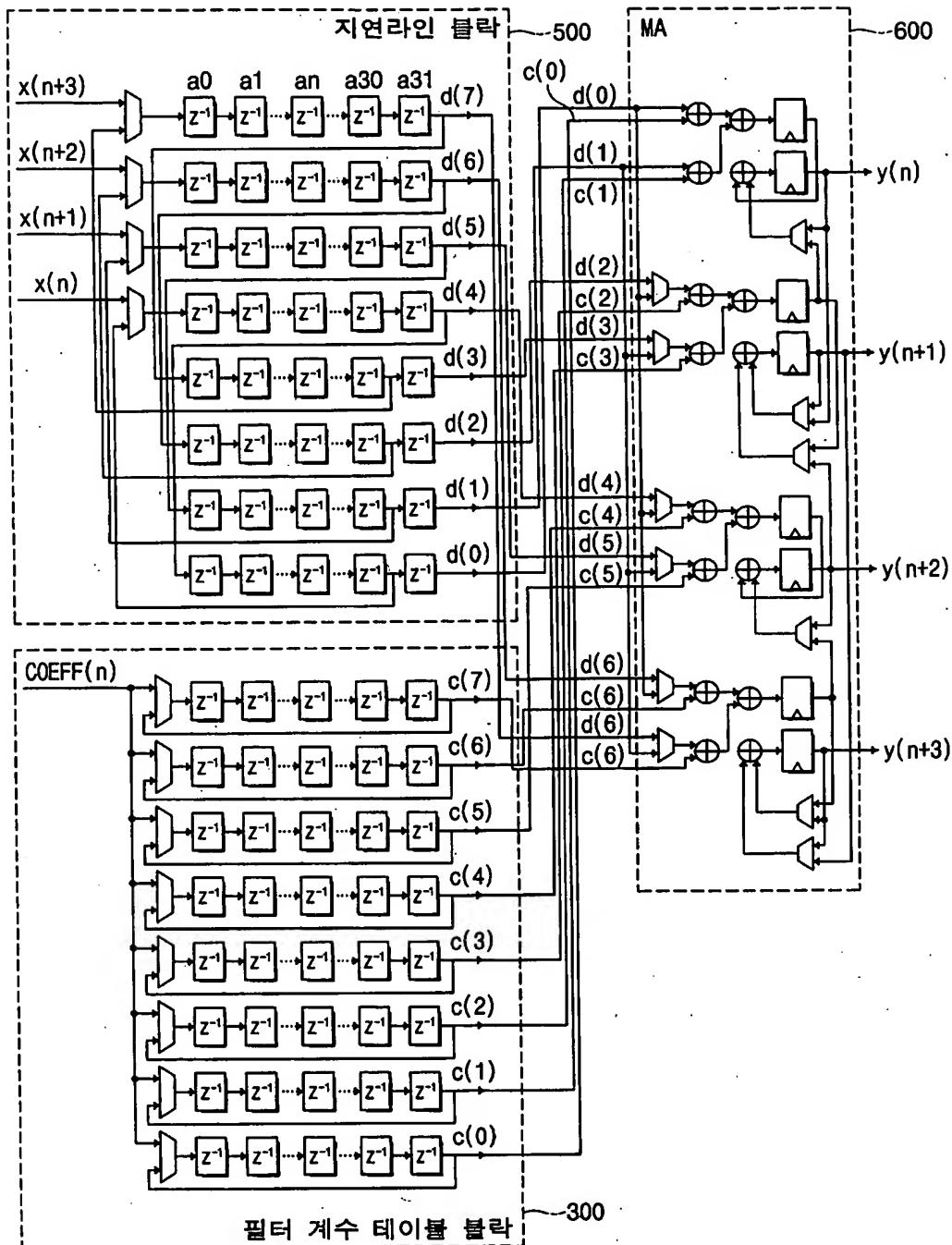
【도 5b】

500

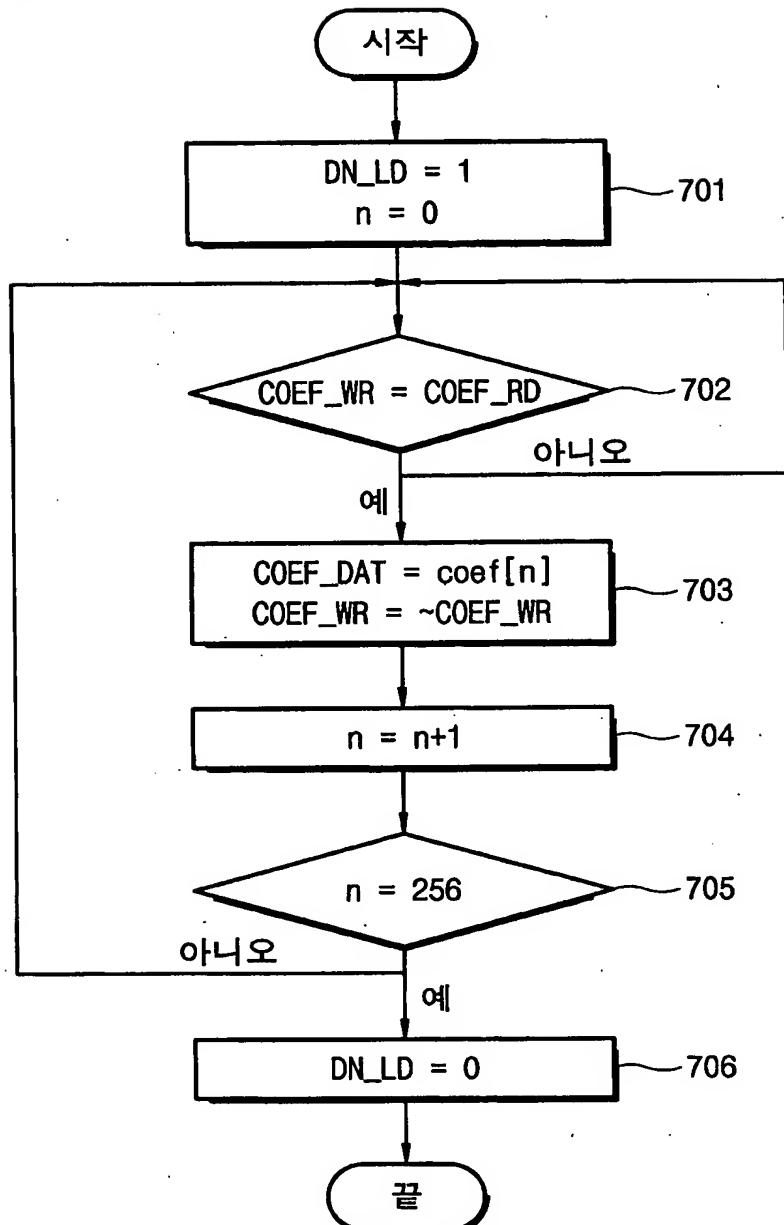


RT 모드

【도 6】

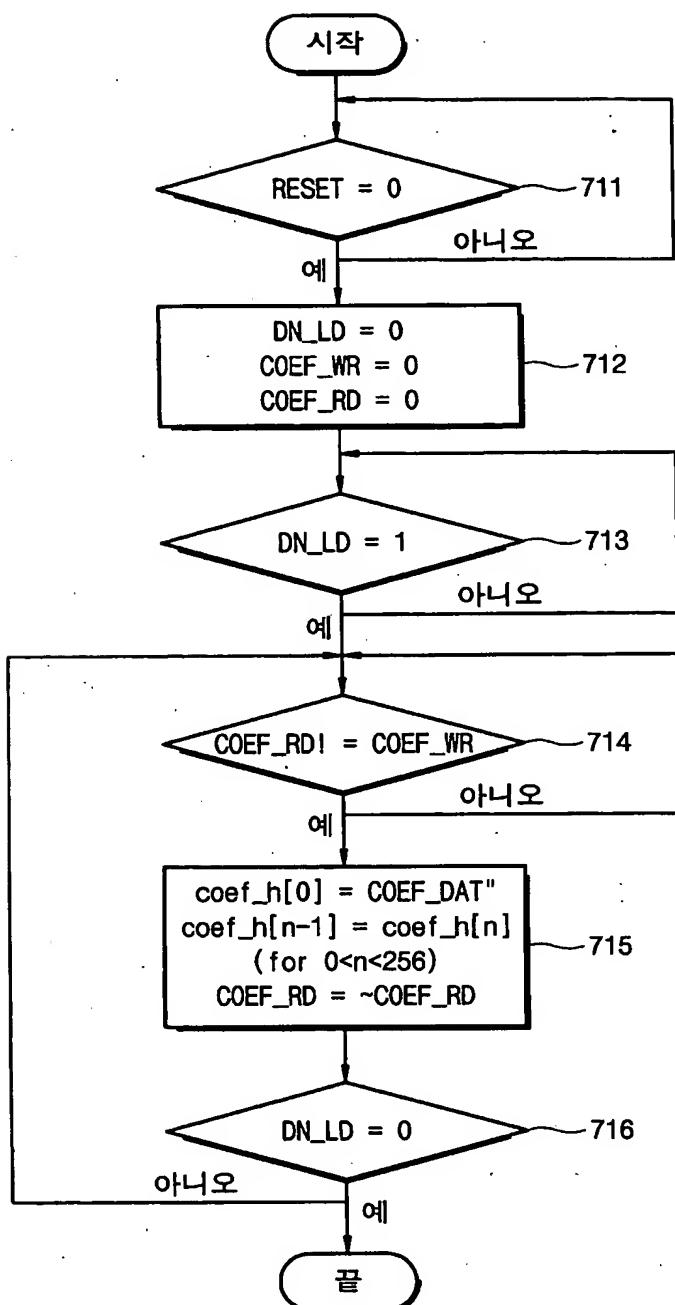


【도 7a】



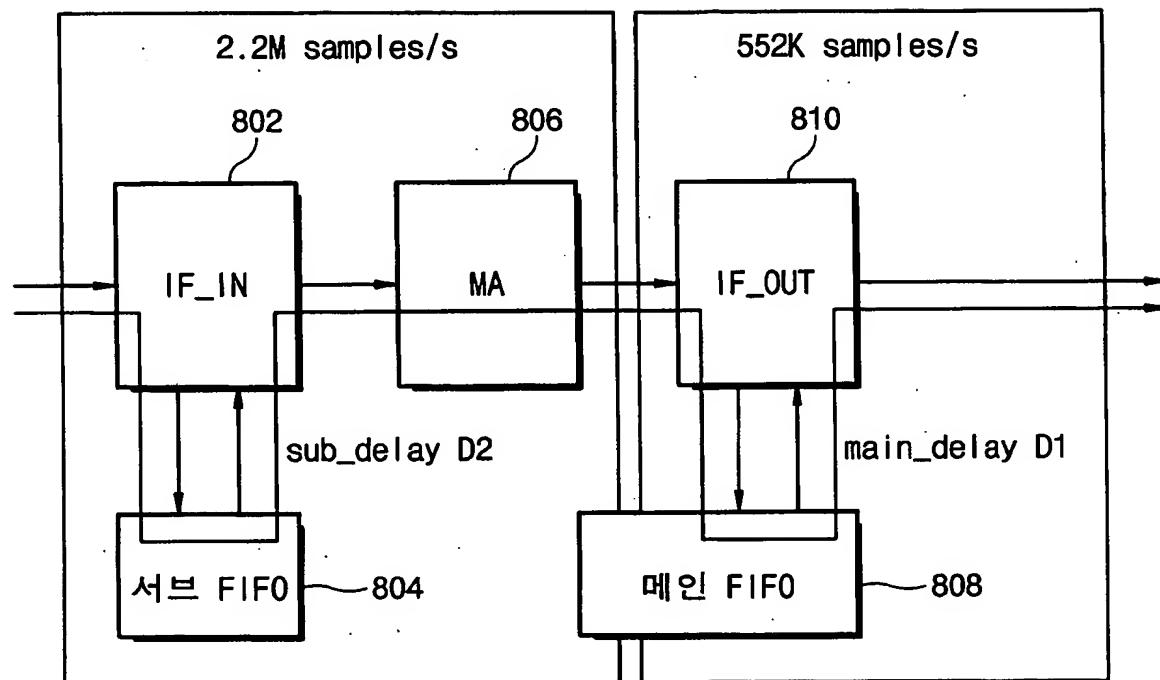
- DSP 동작 -

【도 7b】



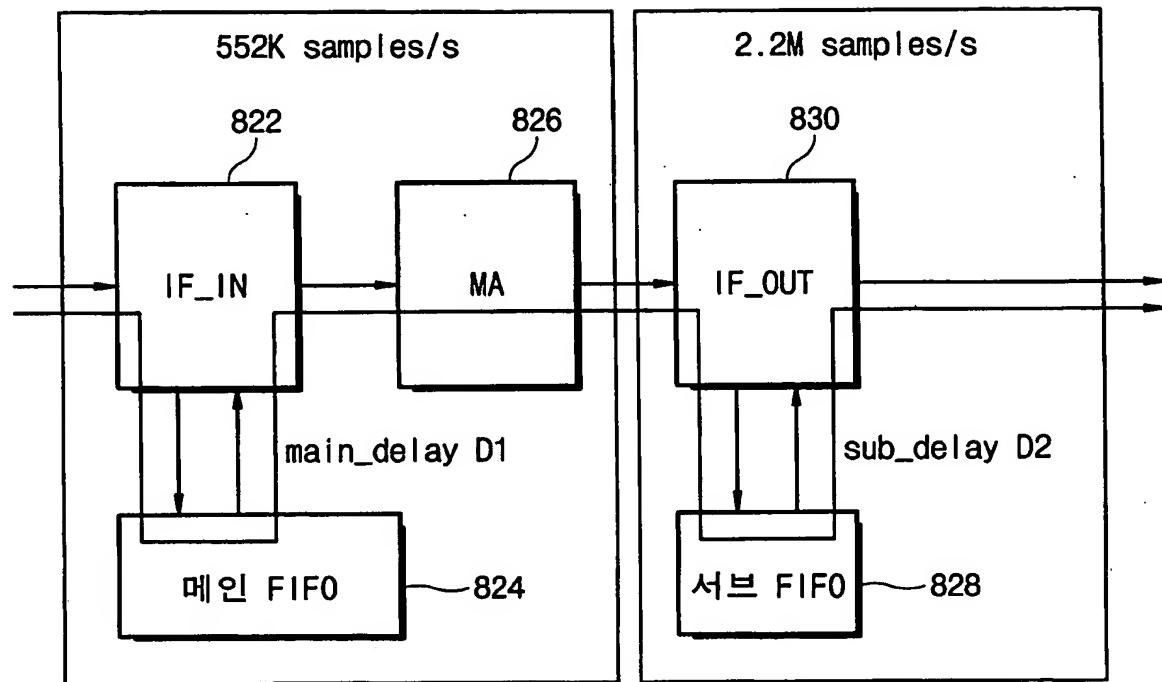
- EC H/W 동작 -

【도 8a】



CO 모드

【도 8b】



RT 모드